

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08316570 A**

(43) Date of publication of application: **29.11.96**

(51) Int. Cl. **H01S 3/18**

(21) Application number: **07140022**

(22) Date of filing: **15.05.95**

(71) Applicant: **TOSHIBA ELECTRON ENG CORP
TOSHIBA CORP**

(72) Inventor: **MATSUYAMA TAKAYUKI
FURUKAWA CHISATO**

(54) **SEMICONDUCTOR DEVICE, MANUFACTURE OF SEMICONDUCTOR LASER DEVICE, AND LASER DIODE MODULE**

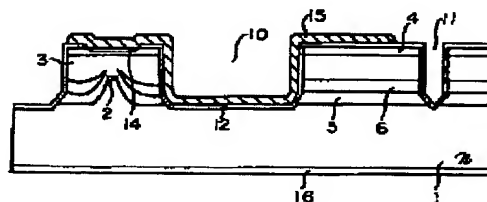
wafer are prevented from adhering to the joint surface of a device to increase the device in leakage current, and the device is improved in yield.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

PURPOSE: To provide a semiconductor laser device which is manufactured high in yield and set high in mechanical strength, wherein the laser device is obtained through such a manner that a guide groove of new structure is formed, and an accurate cleavage is carried out.

CONSTITUTION: A guide groove 11 used for isolating a semiconductor laser device for each active layer 2 and a pair of grooves 10 formed on each side of the active layer are provided. The ratio of the depth of the guide groove 11 from the primary surface of a semiconductor substrate 1 to the twofold width is 1.0 or more, and the ratio of the depth of the groove 10 from the primary surface of the substrate 1 to the width is set smaller than that of the guide groove 11. A wafer is worked into a bar, and when the bar is split into unit devices, marks such as dicing lines are not required to be provided as many as devices by a scribe or a razor, so that a split process can be markedly shortened. Cuttings of a wafer produced when marks are provided on the



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316570

(43) 公開日 平成8年(1996)11月29日

(51) Int. Cl. ⁶

H01S 3/18

識別記号

庁内整理番号

F I

H01S 3/18

技術表示箇所

審査請求 未請求 請求項の数9 F D (全9頁)

(21) 出願番号 特願平7-140022

(22) 出願日 平成7年(1995)5月15日

(71) 出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 松山 隆之

神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

(72) 発明者 古川 千里

神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

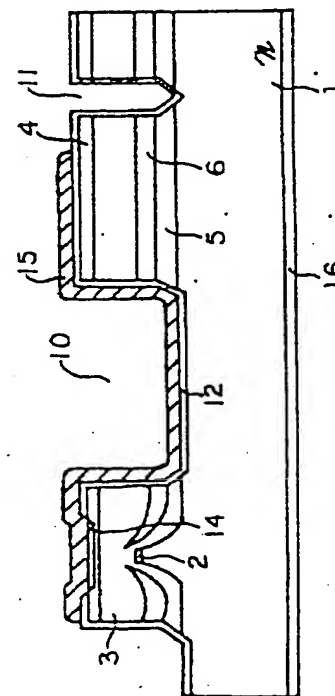
(74) 代理人 弁理士 竹村 壽

(54) 【発明の名称】 半導体装置、半導体レーザ素子の製造方法及びレーザダイオードモジュール

(57) 【要約】

【目的】 新規な構造のガイド溝を形成して正確な劈開によって得られた歩留まりの高い機械的な強度の高い半導体レーザ素子を提供する。

【構成】 半導体レーザ素子を構成する活性層2毎に分離するためのガイド溝11と前記活性層の両側には1対の溝部10が形成されている。前記ガイド溝の半導体基板1の主面からの深さと幅の2倍の比が1.0以上であり、前記溝部の前記主面からの深さと幅の比は、前記ガイド溝の深さと幅の比より小さい。ウェーハをバー状に加工した後、個々の素子に分離する際、素子の数だけの傷をスクライバやカミソリ等に入れる必要がなく、工程を大幅に短縮することができる。また、傷を入れるときに発生するウェーハの切り屑が、素子の接合面に付着し、リーク電流が多くなることもなく、歩留まりが高くなる。



の時と同様にくさび形状の治具 1 8 を使って、個々の素子に劈開し（図 1 6 (a) ）、素子化し、ストライプ状の活性層を備えた LD チップ 2 4 を完成する（図 1 6 (b) ）。ウェーハからチップを形成するには、その他ウェーハ又は半導体レーザバーを固定し、カミソリ刃を上下させる機械を用いる方法などがある。これらは、今井ら編著の「化合物半導体デバイス I I」工業調査会発行（1985 年版）、p 2 0 1 ~ p 2 0 2 又は特公昭 5 7 - 5 0 5 1 号公報などに報告されている。

【0004】また、半導体レーザ素子を分離する場所に溝を形成し、スクライバで傷を入れるときのガイドとして利用する方法がある。図 1 7 に埋め込み層分離溝及び素子分離溝を有する半導体レーザバーを示す。ウェーハからカットされた半導体レーザバー 1 9 は、素子容量を削減するためにストライプ状活性層 2 の両側に形成された埋め込み層分離溝（溝部）100 及びチップに傷を入れるためのガイドとなる素子分離溝（ガイド溝）101 を備えている。その素子分離溝 101 に沿って、スクライバで傷 102 を入れ、その後、図 1 5 に示すようなくさび形状の治具 1 8 を使って個々の半導体レーザ素子に劈開する。

【0005】

【発明が解決しようとする課題】ウェーハから半導体レーザ素子を形成する従来の技術には、次のような問題点があった。（1）ウェーハをバー状に加工した後、個々の半導体レーザ素子に分離する際、素子の数だけの傷をスクライバやカミソリなどで入れる必要があり工程に多大な時間がかかる。（2）スクライバやカミソリ等で傷を入れるので素子の外観が悪くなり、また、傷を入れるときに発生するウェーハの切り屑が素子の接合面に付着し、リーク電流が多くなってしまう。これらが原因で製造工程の歩留りが悪くなる。（3）図 1 7 に示したようなメサ型の半導体レーザ素子の場合、バー状に加工したあと、個々の素子に分離する際、埋め込み層を分離するための溝（溝部）で割れてしまうことがあり、これが 1 枚のウェーハから取れる素子の数が少なくなる原因であった。

【0006】また、個々の半導体レーザ素子の状態のときに溝部によって破損する可能性があった。（4）メサ型の半導体レーザ素子を複数個アレイにして使用する場合はガイド溝が素子間を繋いでいるが、このときもガイド溝によって破損する可能性があった。さらに（5）

この半導体レーザ素子を組み込んだ通信用などのレーザダイオード（LD）モジュールに組み込む場合において、ガイド溝に沿って劈開した半導体レーザ素子がガイド溝通りに正確に劈開されないことがあり、この場合レーザ光を光ファイバーに正確に位置合わせすることが困難であった。本発明は、このような事情によりなされたものであり、劈開が正確に行うことができ工程歩留まりの高い、機械的な強度の高い半導体装置及び半導体レー

ザ素子の製造方法を提供し、組み込みが容易なレーザダイオードモジュールを提供することを目的にしている。

【0007】

【課題を解決するための手段】本発明は、半導体レーザ素子を構成する活性層毎に分離するためのガイド溝と前記活性層の両側には 1 対の溝部が形成されており、前記ガイド溝の前記主面からの深さと幅の比が 1. 0 以上であり、前記溝部の前記半導体基板の前記主面からの深さと幅の比は前記ガイド溝の深さと幅の比より小さいことを特徴とする。すなわち、本発明の半導体装置は、半導体基板と、前記半導体基板主面の表面領域に形成された複数の電流を注入するストライプ状活性層と、前記半導体基板主面の前記活性層間に形成され、前記半導体基板を分離するためのガイド溝とを備え、前記ガイド溝の前記半導体基板主面からの深さ d と幅 $2w$ の比 $(d/2w)$ が 1. 0 以上であることを第 1 の特徴としている。また、半導体基板と、前記半導体基板主面の表面領域に形成された複数の電流を注入するストライプ状活性層と、前記半導体基板主面の前記活性層間に形成され、前記半導体基板を分離するためのガイド溝と、前記ガイド溝間に形成され、前記活性層の両側に形成された 1 対の溝部とを備え、前記ガイド溝の前記半導体基板主面からの深さ d と幅 $2w$ の比 $(d/2w)$ が 1. 0 以上であり、かつ前記溝部の前記半導体基板主面からの深さ DBH と幅 WBH の比 (DBH/WBH) は、前記ガイド溝の前記半導体基板主面からの深さ d と幅 $2w$ の比 $(d/2w)$ より小さい $(DBH/WBH < d/2w)$ ことを第 2 の特徴としている。

【0008】前記ガイド溝の前記半導体基板主面からの深さ d と幅 $2w$ の比 $(d/2w)$ は前記溝部の前記半導体基板主面からの深さ DBH と幅 WBH の比 (DBH/WBH) より大きく、この比の 5 倍以下 $(DBH/WBH < d/2w \leq 5 (DBH/WBH))$ であるようにしても良い。前記ガイド溝の底面とその側面がなす角度が 90 度以上であるようにしても良い。前記半導体基板の主面を構成する結晶面が (100) 面であり、前記半導体基板の側面を構成する結晶面が (011) 面であり、且つ前記ガイド溝の底面を構成する結晶面が (111) 面又は (111/1) 面であるようにしても良い。前記溝部の深さと前記ガイド溝の深さは等しいようにしても良い。前記半導体基板は、InP 半導体からなり、前記活性層は、InGaAs 或いは InGaAsP を含む半導体からなるようにしても良い。

【0009】本発明の半導体レーザ素子の製造方法は、InP 半導体からなる半導体基板主面の表面領域に電流を注入する InGaAs 或いは InGaAsP を含む半導体からなる複数のストライプ状の活性層を形成する工程と、前記半導体基板主面を塩酸系エッチャントにより選択的にウエットエッチングを行って前記活性層間に前記半導体基板主面からの深さ d と幅 $2w$ の比 $(d/2$

溝11に対して垂直になるような方向に形成する(図6)。次に、くさび形状の治具18の頂点にウェーハ1の傷17の位置を合わせ、ウェーハ1の両端に力を加え劈開し、半導体レーザバー19を得る(図7)。

(3) チップ劈開工程

その後、粘着性を有し熱で伸縮するシート20と透明フィルム21の間に半導体レーザバー19を挟み、あらかじめプロセスで形成された素子分離溝11に沿って半導体レーザバーの裏面からくさび形状の治具18をあて、個々の半導体レーザ素子に劈開する(図8)。この時、

(a) 素子分離溝のアスペクト比が埋め込み層分離溝のアスペクト比より大きく、素子分離溝への応力集中度が大きい、(b) 素子分離溝の形状が矢じり状であり、U字状の埋め込み層分離溝に比べて溝底部への応力集中度が大きいという2つの理由により、選択的に素子分離溝でチップ劈開されるため、従来技術のように埋め込み層分離溝でチップ劈開されることがない。したがって、1枚のウェーハから分離形成される素子の数を増やすことができる。

【0016】(4) チップ分離工程

次に、透明フィルム21を剥がし、粘着シート20に固定された状態の半導体レーザバー19を加熱機構の付いたリフター22上に固定する(図9(a))。次に、リフターに内蔵したヒーターで熱を加えながら、リフターを上昇させ、粘着シートを伸長させる(図9(b))。すると、LDチップ24が個々に分離される。次にこのLDチップを自動ピック&ブレース装置によって、LDチップトレイに収納させる。図10に、以上のようにして形成されたLDチップの斜視図を示す。LDチップ24は素子分離溝11を境界に個々に分離されるので、素子分離溝11は切り欠き25となる。すなわちLDチップ24にはそのストライプ状の活性層2とは左右対称に切り欠き25が形成される。切り欠き25の底面の結晶面方位は、LDチップ端面の(01/1)面に向かって左側が(1/1/1)面、右側が(111)面となる。

【0017】半導体レーザ素子は、n-InP基板1に形成されている。InP基板1主面の表面領域には、ストライプ状のInGaAsP活性層2が埋め込まれている。活性層2の上にはp-InPクラッド層3が形成されており、その上にさらにInGaAsコンタクト層4を介して合金化されたAuZn電極14が形成されている。活性層2の両側には、半導体基板1の上にp-InP埋め込み層5、n-InP埋め込み層6が形成されている。この積層された層は、これらを通る電流を阻止する電流ブロック層として用いられる。図の手前に露出している活性層2の面と、この面と対向している面は半導体レーザ素子の共振面を構成している。ストライプ状の活性層2は<01/1>方向に形成されている。また、この積層された埋め込み層5、6に素子容量を削減するための埋め込み層分離溝(溝部)10が形成されて

いる。コンタクト層4、埋め込み層分離溝10の内表面、AuZn電極14、切り欠き25は、SiO₂絶縁膜12によって被覆されている。ここで、切り欠き25の深さと溝幅の2倍の比に比較して埋め込み層分離溝10の深さと溝幅の比が小さいようにする。AuZn電極14の上にこの電極と電氣的に接続されたオーバーコート電極(Ti/Pt/Au)15が形成されている。オーバーコート電極15は、埋め込み層分離溝10の一方に延在し、さらに切り欠き25近傍に延びている。半導体基板1の裏面にはn側電極としてAuGe/Ni/Au電極16が形成されている。

【0018】(5) マウント、ワイヤボンディング工程

以上のようにして製造されたLDチップ24は、チップキャリア26に搭載される。チップキャリア26上にはヒートシンク27がマウントされ、LDチップ24は、ヒートシンク27上にAuSn半田でダイボンディングされる。次に、LDチップ24上のオーバーコート電極とチップキャリア26のアノード28間及びLDチップ24のn側電極と電氣的に接続されたヒートシンク27とチップキャリアのカソード29間とをボンディングワイヤ31で接続し、半導体レーザ装置を完成する。完成した半導体レーザ装置を図11に示す。カソード29は、セラミックベース32の上に形成されており、セラミックベース32はチップキャリア26の上に取り付けられている。

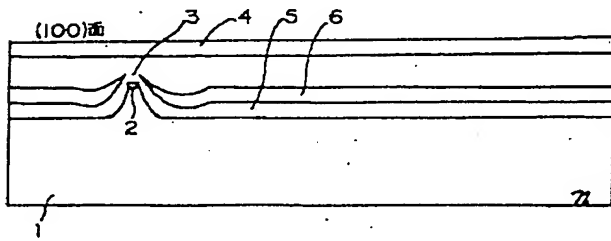
【0019】次に、図12を参照して、LDチップを取り付けたLDモジュールについて説明する。図は、LDモジュールの断面図である。半導体レーザ素子をレーザ光を発光する通信用などのLDモジュールに組み込む場合において、ガイド溝に沿って正確に劈開することができるので、半導体レーザ素子から出射されるレーザ光は、LDモジュールの光ファイバーに正確に位置合わせできるので、光ファイバー39のLDチップ24の位置合わせ及び溶接が容易になった。LDチップ24は、Cuなどの円環状のヒートシンク27に固定され、ヒートシンク27には、LDチップ24を覆うようにコードホルダ(PVC)33が取り付けられている。ヒートシンク27の内部には、フォトダイオード34が取り付けられたヘッダ35が固着されている。ヘッダ35には、フォトダイオード34に電気信号を入力するリード36が取り付けられている。

【0020】リード36はフォトダイオード34の電極(図示せず)に電氣的に接続されている。ヒートシンク27にはレンズ(サファイア)37を保持するレンズホルダー38も取り付けられている。レンズホルダー38には、光ファイバー39を保持する支持体取り付けられて光ファイバー39の1端部がレンズ37に対向するように配置されている。光ファイバー39には保護膜が被覆されていてファイバーコード40を構成している。

11

・p側電極 (AuZn合金層)、15・・・オーバーコートTi/Pt/Au層、16・・・n側電極 (AuGe/Ni/Au層)、17・・・傷、18・・・くさび形状の治具、19・・・半導体レーザバー、20・・・粘着シート、21・・・透明フィルム、22・・・リフター、23・・・ヒータ、24・・・LDチップ、25・・・切り欠き、26・・・チップキャリア、27・・・ヒートシンク、28・・・アノー

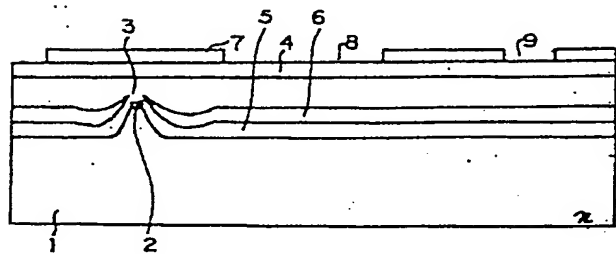
【図1】



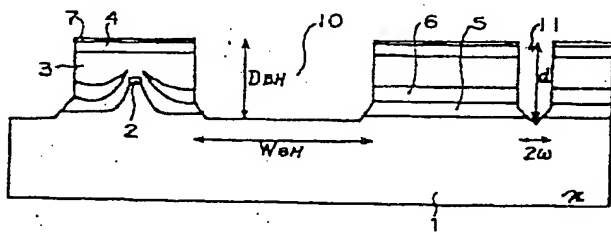
12

ド、29・・・カソード、30・・・カソードリード、31・・・ボンディングワイヤ、32・・・セラミックベース、33・・・コードホルダー、34・・・フォトダイオード、35・・・ヘッダ、36・・・リード、37・・・レンズ、38・・・レンズホルダー、39・・・光ファイバー、40・・・ファイバークード

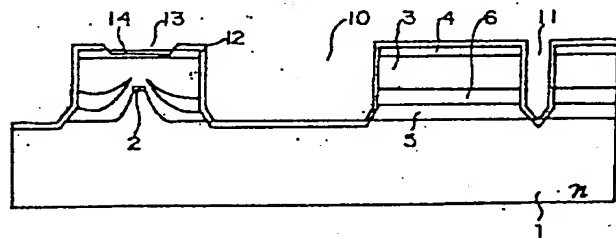
【図2】



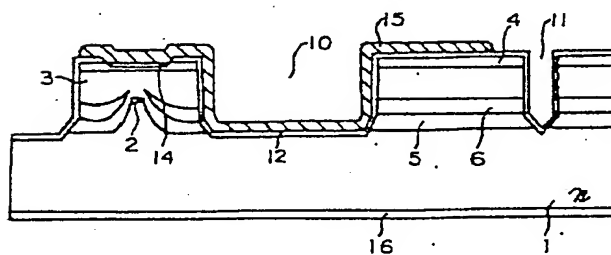
【図3】



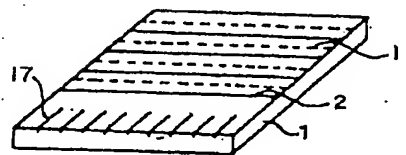
【図4】



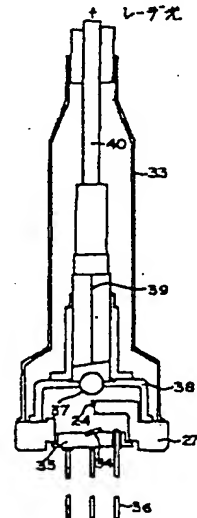
【図5】



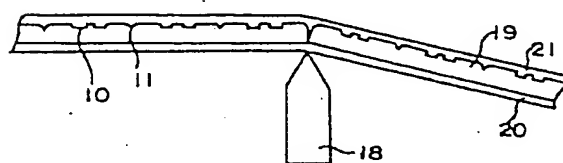
【図6】



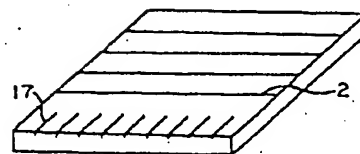
【図12】



【図8】



【図14】



【図 16】

